

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07230967 A**

(43) Date of publication of application: **29 . 08 . 95**

(51) Int. Cl.

**H01L 21/28**  
**H01L 21/28**  
**H01L 21/8238**  
**H01L 27/092**

(21) Application number: **06020227**

(22) Date of filing: **17 . 02 . 94**

(71) Applicant: **mitsubishi electric corp**

(72) Inventor: **ASHIDA MOTOI**  
**YUZURIHA KOJIRO**

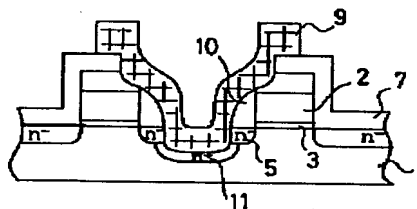
(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To obtain a semiconductor device where an opening can be kept large enough in effective area and a polysilicon direct contact part is restrained from increasing in resistance.

CONSTITUTION: A second conductivity-type device is formed on a first conductivity-type substrate 1, a pad layer or a wiring layer of polysilicon 9 or polycide is provided onto the device, and the thickness of an interlayer insulating film 7 between the wiring layers or the pad layers is set equal to the width of the side wall 10 of the device.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-230967

(43)公開日 平成7年(1995)8月29日

(51)Int.Cl.<sup>°</sup>

H01L 21/28

21/8238

27/092

識別記号

301

L 8826-4M

A 8826-4M

9170-4M

F I

H01L 27/08

321

F

審査請求 未請求 請求項の数7 O L (全8頁)

(21)出願番号 特願平6-20227

(22)出願日 平成6年(1994)2月17日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 芦田 基

伊丹市瑞原4丁目1番地 三菱電機株式会

社エル・エス・アイ研究所内

(72)発明者 杠 幸二郎

伊丹市瑞原4丁目1番地 三菱電機株式会

社エル・エス・アイ研究所内

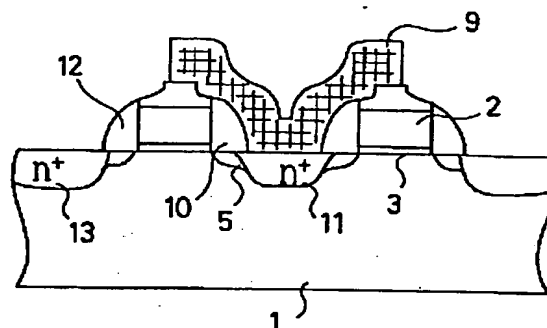
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【目的】 この発明は、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制した半導体装置を得る。

【構成】 第1導伝型の基板1上に第2導伝型のデバイスが構成され、デバイス上にポリシリコン9またはポリサイドによってパッド層または配線層が設けられ、パッド層または配線層の相互の層間絶縁膜の膜厚とデバイスのサイドウォール10の幅とを同一にした。



1 : Pウェル

2 : ゲート電極

7 : 層間絶縁膜

9 : ポリ直コン用ポリシリコン

10 : 第1のサイドウォール

11 : 第1のn<sup>+</sup>領域

12 : 第2のサイドウォール

13 : 第2のn<sup>+</sup>領域

## 【特許請求の範囲】

【請求項 1】 第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、前記デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられた半導体装置において、

前記パッド層または前記配線層の相互の層間絶縁膜の膜厚と前記デバイスのサイドウォール幅とが同一であることを特徴とする半導体装置。

【請求項 2】 第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、前記デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられた半導体装置において、

前記パッド層または前記配線層と前記基板との接続部での開孔部基板の削り量は、少なくとも一部分で前記基板の面よりも 10 nm 以上でかつ接合深さ以下であることを特徴とする半導体装置。

【請求項 3】 第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、前記デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられた半導体装置において、

前記パッド層または前記配線層と前記基板との接続部での開孔部基板の削り量は、少なくとも一部分で活性領域の接合深さ以上であることを特徴とする半導体装置。

【請求項 4】 第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、前記デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられた半導体装置において、

前記パッド層または前記配線層と前記基板との接続部で、少なくとも一部分以上で前記デバイスのソースおよびドレインの活性領域のそれぞれの濃度について、前記接続部下のソースまたはドレインからなる活性層の濃度の方が他方の活性層に比べて薄いことを特徴とする半導体装置。

【請求項 5】 第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、前記デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられた半導体装置において、

ゲート電極と前記パッド層または前記配線層との間の水平方向の絶縁は、前記パッド層または前記配線層と前記基板との接続部で、且つ前記デバイスの少なくとも一部分で、サイドウォールのみで実現されていることを特徴とする半導体装置。

【請求項 6】 第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、前記デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられた半導体装置の製造方法において、

前記パッド層または前記配線層は、前記基板との接続部での前記デバイスの同一ゲートの両側のサイドウォールを形成するときのエッチングプロセスが各サイドウォール毎にそれぞれ異なる工程で形成されたことを特徴とす

る半導体装置の製造方法。

【請求項 7】 第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、前記デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられた半導体装置の製造方法において、

前記パッド層または前記配線層と前記基板との接続部の開孔部に露出する分離酸化膜をすべて削ることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 この発明はたとえば CMOS デバイス等が構成されて多結晶シリコン（ポリシリコン）による直接コンタクト（以下、ポリ直コンという）を有する半導体装置およびその製造方法に関し、特にポリ直コン部分の抵抗値を抑制した半導体装置およびその製造方法に関するものである。

## 【 0 0 0 2 】

【従来の技術】 近年、高集積化が進みつつある CMOS デバイスを構成する半導体装置において、Al（アルミニウム）コンタクトを直接シリコン基板に接続することが困難になりはじめている。このような半導体装置に適用される有効なコンタクト構造は、ポリ直コンからなるポリシリコンパッド構造であり、基板からポリシリコン層（または、ポリサイド層）でトランジスタのゲート電極の上層まで同電位層を引き上げ、その部分に Al コンタクトを取るものである。

【 0 0 0 3 】 図 7 はたとえば N - c h（N チャネル）トランジスタ上へのポリパッド構造を有する従来の半導体装置（MOS デバイス）のポリシリコンによる直接コンタクト（以下、ポリ直コンという）の構造を示す断面図であり、図 8（a）～（d）は図 7 に示した半導体装置の製造工程を示すフロー断面図である。

【 0 0 0 4 】 図において、1 は半導体装置の基板となる P ウェル、2 は P ウェル 1 上に形成された一対のゲート電極、3 は P ウェル 1 と各ゲート電極 2 との間に介在されたゲート絶縁膜、4 はゲート電極 2 の側面に形成されたサイドウォール、5 はゲート絶縁膜 3 の周辺の P ウェル 1 上に形成された n' 領域（拡散層）、6 は n' 領域 5 の周辺の P ウェル 1 上に形成された n' 領域（拡散層）である。

【 0 0 0 5 】 7 は n' 領域 6 およびサイドウォール 4 ならびにゲート電極 2 の上面の一部を覆うポリ直コン下の層間絶縁膜、8 は各ゲート電極 2 の間の n' 領域 4 を覆うように形成された層間絶縁膜 7 のエッチング枠残渣、9 は各ゲート電極 2 間の n' 領域 6 およびエッチング枠残渣 8 ならびにゲート電極 2 の一部を覆うように形成された直コン用ポリシリコン、14 は製造工程中に層間絶縁膜 7 上に形成されるレジストである。

【 0 0 0 6 】 次に、図 8 のフロー断面図を参照しながら、図 7 に示した従来の半導体装置の製造工程について

説明する。まず、図 8 ( a ) のように、N - c h トランジスタのチャネル領域すなわち P ウェル 1 を形成した後、ゲート絶縁膜 3 を堆積し、続いてゲート電極 2 をパターンニングした後、ゲート電極 2 をマスクにしてイオン注入により  $n^+$  領域 5 を形成する。

【 0 0 0 7 】次に、図 8 ( b ) のように、N - c h トランジスタのサイドウォール 4 を形成し、再度、イオン注入により、 $n^+$  領域 6 を形成する。次に、図 8 ( c ) のように、 $n^+$  領域 5 および  $n^+$  領域 6 ならびにゲート電極 2 の一部を含む上層に、100 nm ~ 300 nm の層間絶縁膜 7 を堆積し、その上にレジスト 1 4 を堆積し、さらに、各ゲート間の活性領域が十分に存在しない部分に、ポリバッド電極を取り出すために孔 H を設ける。

【 0 0 0 8 】孔 H は、周知のフォトリソグラフィ法を用いて形成されるが、実効開孔は、ゲート電極段差を利用したセミセルフアラインの開孔となる。このとき、層間絶縁膜 7 の厚さ分 ( 100 nm ~ 300 nm ) の絶縁膜のエッチング枠残渣 8 がサイドウォール 4 の外側に形成される。

【 0 0 0 9 】最後に、図 8 ( d ) のように、ポリバッド電極 ( ポリ直コン ) 用のポリシリコン 9 を堆積し、周知のフォトリソグラフィ法でパターンニング後、エッチングし、熱活性化させることでポリシリコンバッドを形成する。

#### 【 0 0 1 0 】

【発明が解決しようとする課題】従来の半導体装置およびその製造方法は以上のように、ポリバッド構造 ( ポリ直コン部分 ) の実効開孔 H の面積が、サイドウォール 4 に加えて層間絶縁膜 7 のエッチング枠残渣 8 の分が付加されるため、極めて狭まくなり、ポリ直コン抵抗を上昇させてしまうという問題点があった。一方、ポリバッド ( ポリ直コン ) 用のポリシリコン 9 を L P C V D で堆積する場合、界面部に巻き込み酸化による界面酸化膜が意図せずに形成され、ポリ直コン抵抗を非オーミックにし、さらにポリ直コン抵抗上昇を起こすという問題点があった。

【 0 0 1 1 】この発明は上記のような問題点を解決するためになされたもので、実効開孔面積を十分に広く構成することにより、ポリ直コン部分の抵抗値を抑制した半導体装置およびその製造方法を得ることを目的とする。

#### 【 0 0 1 2 】

【課題を解決するための手段】この発明の請求項 1 に係る半導体装置は、第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってバッド層または配線層が設けられ、バッド層または配線層の相互の層間絶縁膜の膜厚とデバイスのサイドウォール幅とを同一にしたものである。

【 0 0 1 3 】また、この発明の請求項 2 に係る半導体装置は、第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドに

よってバッド層または配線層が設けられ、バッド層または配線層と基板との接続部での開孔部基板の削り量を、少なくとも一部分で基板の面よりも 10 nm 以上でかつ接合深さ以下にしたものである。

【 0 0 1 4 】また、この発明の請求項 3 に係る半導体装置は、第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってバッド層または配線層が設けられ、バッド層または配線層と基板との接続部での開孔部基板の削り量を、少なくとも一部分で活性領域の接合深さ以上にしたものである。

【 0 0 1 5 】また、この発明の請求項 4 に係る半導体装置は、第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってバッド層または配線層が設けられ、バッド層または配線層と基板との接続部で、少なくとも一部分以上でデバイスのソースおよびドレインの活性領域のそれぞれの濃度について、接続部下のソースまたはドレインからなる活性層の濃度を他方の活性層に比べて薄くしたものである。

【 0 0 1 6 】また、この発明の請求項 5 に係る半導体装置は、第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってバッド層または配線層が設けられ、ゲート電極とバッド層または配線層との間の水平方向の絶縁は、バッド層または配線層と基板との接続部で、且つデバイスの少なくとも一部分で、サイドウォールのみで実現されているものである。

【 0 0 1 7 】また、この発明の請求項 6 に係る半導体装置の製造方法は、第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってバッド層または配線層が設けられ、バッド層または配線層は、基板との接続部でのデバイスの同一ゲートの両側のサイドウォールを形成するときのエッチングプロセスが各サイドウォール毎にそれぞれ異なる工程で形成されたものである。

【 0 0 1 8 】また、この発明の請求項 7 に係る半導体装置の製造方法は、第 1 導伝型の基板上に第 2 導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってバッド層または配線層が設けられ、バッド層または配線層と基板との接続部の開孔部に露出する分離酸化膜をすべて削るものである。

#### 【 0 0 1 9 】

【作用】この発明においては、ゲート電極を形成した後、層間絶縁膜をサイドウォールの膜厚と同一に堆積させ、続いて、周知のフォトリソグラフィ法を用いてパターンニングした後、セミセルフアライン法によって開孔部を形成する。このとき、開孔部に層間絶縁膜の枠ができるがこれを第 1 のサイドウォールとして利用する。次に、第 1 の  $n^+$  領域を形成するためにイオン注入を行

い、ポリシリコンをパターンニングし、これをマスクとして第2のサイドウォールを形成することで、ゲート電極上のポリパッド構造（ポリ直コン）を形成する。

【0020】これにより、ポリ直コン開孔部内の面積を減少させていた酸化膜の枠分が、サイドウォールおよび層間絶縁膜を兼用することで面積が拡大され、ポリ直コンの抵抗値を低減することができる。また、従来では下地濃度に依存して増速酸化による巻き込み酸化が顕著に表われていたが、この発明によれば下地濃度を任意に設定できるため、巻き込み酸化を制御できオーミック性を示すポリ直コンが得られ、結果として低抵抗化することができる。

【0021】また、この発明の請求項2および請求項3においては、シリコンエッチングにより、ポリシリコンと基板との接触面積をさらに増大させてポリ直コンの抵抗値を低減させる。

【0022】また、この発明の請求項4においては、第1の活性層（ $n'$ 領域）の濃度を第2の活性層の濃度よりも小さく設定し、ポリシリコン堆積時の巻き込み酸化の影響を低減させる。

【0023】また、この発明の請求項5および請求項7においては、分離酸化膜を全て除去することにより、ポリシリコンと基板との接触面積をさらに増大させて低抵抗化を実現する。

#### 【0024】

#### 【実施例】

実施例1. 以下、この発明の実施例1（請求項1および請求項6に対応）を図に基づいて説明する。図1はこの発明の実施例1による半導体装置の一部分の最終構造を示す断面図であり、図2（a）～（b）は図1の半導体装置の製造工程を示すフロー断面図である。

【0025】図において、1～3、5、7、9、14およびHは前述と同様のものであり、10および12はサイドウォール4に対応し、11および13は $n'$ 領域6に対応している。10はゲート電極2間の側面に形成された第1のサイドウォール、11はゲート電極2間のPウェル1上に形成された第1の $n'$ 領域、12は各ゲート電極2の外側の側面に形成された第2のサイドウォール、13は各ゲート電極2の外側のPウェル1上に形成された第2の $n'$ 領域である。

【0026】次に、図2を参照しながら、前述と同様に、N-chトランジスタ上にポリシリコンパッド構造（ポリ直コン）を形成する場合を例にとり、この発明の実施例1による半導体装置の製造方法について説明する。

【0027】まず、図2（a）のように、半導体装置の基板となるPウェル1の領域を形成し、続いてPウェル1上にゲート絶縁膜3を形成し、ゲート絶縁膜3上にゲート電極2を形成し、ゲート電極2の周辺のPウェル1上に $n'$ 領域5を形成し、さらにこれらの上層にサイド

ウォール膜厚 $t$ に相当する100nm～300nmの層間絶縁膜7を堆積する。なお、 $n'$ 領域5を形成する場合、層間絶縁膜7を堆積する前に、ゲート電極2をマスクとしてイオン注入を行う。

【0028】次に、図2（b）のように、層間絶縁膜7の上にレジスト14を堆積し、周知のフォトリソグラフィ法によってパターンニングした後、セミセルフアライン法により孔Hを形成して開孔する。この開孔によって孔Hの内側に第1のサイドウォール10を形成し、その後、イオン（ $n'$ ）注入によって、孔H内のPウェル1上に第1の $n'$ 領域11を形成する。

【0029】次に、図2（c）のように、孔Hの内側を覆うようにポリ直コン用のポリシリコン9を堆積し、パターンニングする。最後に、図2（d）のように、ポリシリコン9をマスクとして酸化膜エッチバックを行うことにより、各ゲート電極2の外側に第2のサイドウォール12を形成し、第2のサイドウォール12の外側のPウェル1上に再度のイオン注入によって第2の $n'$ 領域13を形成する。

【0030】このように、N-chトランジスタのゲート電極2を形成した後、層間絶縁膜7を第1のサイドウォール10の膜厚 $t$ に等しくして堆積させて、第1のサイドウォール10および層間絶縁膜7を同一層で形成し、開孔部をパターンニングした後、セミセルフアライン法によって開孔し、開孔部に形成された層間絶縁膜7の枠を第1のサイドウォール10として利用する。続いて、第1の $n'$ 領域11を形成するためにイオン注入を行うが、この注入量は、孔Hの中だけに独立に設定できる特徴を有する（図2（a）および（b）参照）。

【0031】次に、ポリシリコン9をパターンニングし、これをマスクとして第2のサイドウォール12を形成することで、ゲート電極2上のポリパッド構造（ポリ直コン）を形成することができる（図2（c）および（d）参照）。この結果、従来においてポリ直コン開孔部内の面積を減少させていた酸化膜のエッチング枠残渣分が、サイドウォール10および層間絶縁膜7を兼用することにより面積拡大することができ、ポリ直コンの抵抗値を低減することができる。

【0032】一方、従来方法では下地濃度に依存して増速酸化による巻き込み酸化が顕著に表われていたが、この発明の実施例1による方法では、下地濃度を任意に設定することができるため、巻き込み酸化を制御することができ、オーミック性を示すポリ直コンが得られ、結果として低抵抗化することができる。したがって、接続時の電圧降下が抑制され、信頼性の高い半導体装置を実現することができる。

【0033】実施例2. なお、上記実施例1では、ポリ直コン開孔時において、酸化膜エッチングのみを行ったが、酸化膜エッチング後に、シリコンエッチングを加えて基板をエッチングし、更に接触面積を増大させてもよ

い。図3はシリコンエッチングを加えたこの発明の実施例2（請求項2および請求項3に対応）による半導体装置を示す側断面図である。この場合、ポリシリコン9がPウェル1の上面よりも深く形成されており、これにより、接触面積がさらに増大する。

【0034】たとえば、ポリシリコン9（または、ポリサイド）によって形成されたパッド層（または、配線層）と基板との接続部での開孔部基板の削り量は、少なくとも一部分で基板の面よりも10nm以上でかつ接合深さ以下、または、活性領域の接合深さ以上に設定される。 10

【0035】実施例3。また、上記実施例1では、第1および第2のn'領域11および13のイオン注入量について特に言及しなかったが、第1のn'領域11の注入量を第2のn'領域13の注入量よりも少なくし、ポリシリコン9のデポ（堆積）時の巻き込み酸化の影響を低減するようにしてもよい。

【0036】図4は第1のn'領域11の注入量を第2のn'領域13の注入量よりも少なくしたこの発明の実施例4（請求項4に対応）による半導体装置を示す側断面図である。この場合、第1のn'領域（活性層）11のn'濃度n'（1）は、第2のn'領域13のn'濃度n'（2）よりも小さく設定されている。 20

【0037】実施例4。上記実施例3は、上記実施例2においても同様に適用することができる。

【0038】実施例5。また、実施例1において、ポリ直コンの開孔時に分離酸化膜を残すようにしたが、ポリ直コン開孔内に分離領域を包含する場合、分離酸化膜をもエッチングして除去することで開孔面積を拡大させるようにしてもよい。図5は分離酸化膜を削除したこの発明の実施例5（請求項5および請求項7に対応）による半導体装置を示す平面図であり、15はポリ直コン、16は分離酸化膜、17はゲート電極、18は分離酸化膜16の削除部分である。 30

【0039】実施例6。また、実施例1による半導体装置を、接合リークが許容できるGND部（ポリ直コン）に利用してもよい。図6はこの発明の実施例5による半導体装置を示す平面図であり、SRAMメモセルの一部を示す。図において、19はGND配線、Tr1~Tr4はトランジスタである。このように、GND部にポリ直コンを用いた場合、GND電位の浮き上がりを抑制することができる。 40

【0040】実施例7。また、実施例2による半導体装置を、接合リークが許容できるGND部（直コン）に利用してもよい。

【0041】実施例8。さらに、同様に、実施例3または実施例4による半導体装置を、接合リークが許容できるGND部（直コン）に利用してもよい。

【0042】

【発明の効果】以上のようにこの発明の請求項1によれ 50

ば、第1導伝型の基板上に第2導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられ、パッド層または配線層の相互の層間絶縁膜の膜厚とデバイスのサイドウォール幅とを同一にしたので、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制した半導体装置が得られる効果がある。

【0043】また、この発明の請求項2によれば、第1導伝型の基板上に第2導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられ、パッド層または配線層と基板との接続部での開孔部基板の削り量を、少なくとも一部分で基板の面よりも10nm以上でかつ接合深さ以下にしたので、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制した半導体装置が得られる効果がある。

【0044】また、この発明の請求項3によれば、第1導伝型の基板上に第2導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられ、パッド層または配線層と基板との接続部での開孔部基板の削り量を、少なくとも一部分で活性領域の接合深さ以上にしたので、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制した半導体装置が得られる効果がある。

【0045】また、この発明の請求項4によれば、第1導伝型の基板上に第2導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられ、パッド層または配線層と基板との接続部で、少なくとも一部分以上でデバイスのソースおよびドレインの活性領域のそれぞれの濃度について、接続部下のソースまたはドレインからなる活性層の濃度を他方の活性層に比べて薄くしたので、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制するとともに、ポリシリコン堆積時の巻き込み酸化の影響を低減させた半導体装置が得られる効果がある。

【0046】また、この発明の請求項5によれば、第1導伝型の基板上に第2導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられ、ゲート電極とパッド層または配線層との間の水平方向の絶縁は、パッド層または配線層と基板との接続部で、且つデバイスの少なくとも一部分で、サイドウォールのみで実現されているので、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制した半導体装置が得られる効果がある。

【0047】また、この発明の請求項6によれば、第1導伝型の基板上に第2導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられ、パッド層または配線層

は、基板との接続部でのデバイスの同一ゲートの両側のサイドウォールを形成するときのエッチングプロセスが各サイドウォール毎にそれぞれ異なる工程で形成されるようにしたので、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制した半導体装置の製造方法が得られる効果がある。

【0048】また、この発明の請求項7によれば、第1導伝型の基板上に第2導伝型のデバイスが構成され、デバイス上にポリシリコンまたはポリサイドによってパッド層または配線層が設けられ、パッド層または配線層と基板との接続部の開孔部に露出する分離酸化膜をすべて削るようにしたので、実効開孔面積を十分に広く構成することができ、ポリ直コン部分の抵抗値を抑制した半導体装置の製造方法が得られる効果がある。

【図面の簡単な説明】

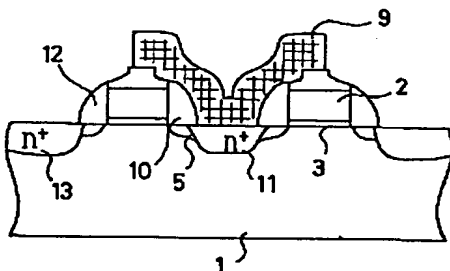
【図 1】この発明の実施例 1（請求項 1 に対応）による半導体装置の最終構造を示す側断面図である。

【図2】この発明の実施例1（請求項6に対応）による半導体装置の製造方法を示すフロー断面図である。

【図３】この発明の実施例２（請求項２および請求項３に対応）による半導体装置の最終構造を示す側断面図である。

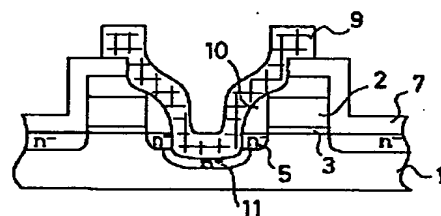
【図 4】この発明の実施例 3（請求項 4 に対応）による

【図 1】

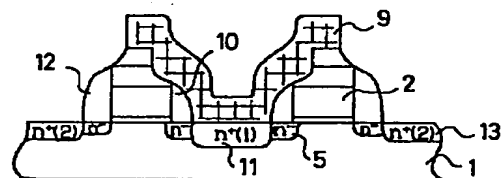


- 1: Pウェル
- 2: ゲート電極
- 7: 層間絶縁膜
- 9: ポリ窒化シリコン
- 10: 第1のサイドウォール
- 11: 第1の $n^+$ 領域
- 12: 第2のサイドウォール
- 13: 第2の $n^+$ 領域

【图 3】

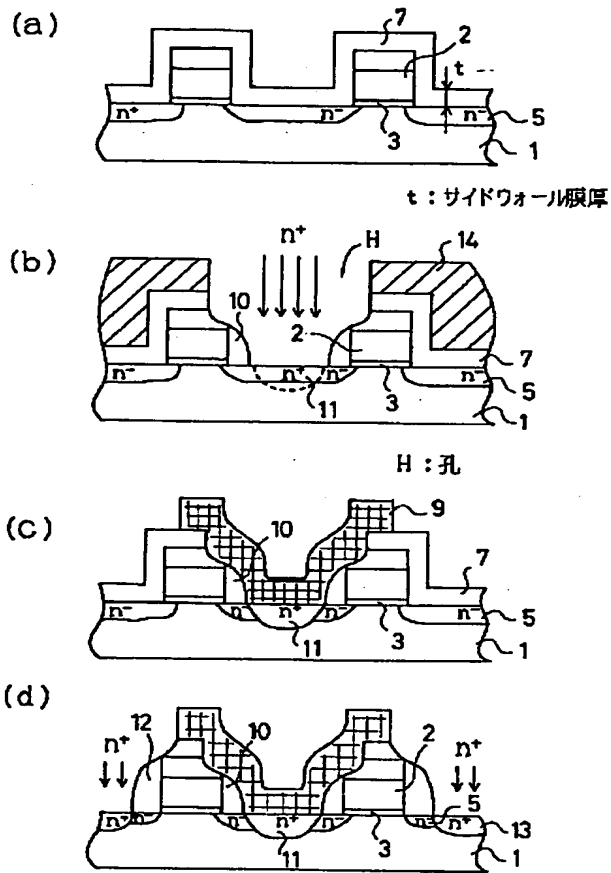


【图4】

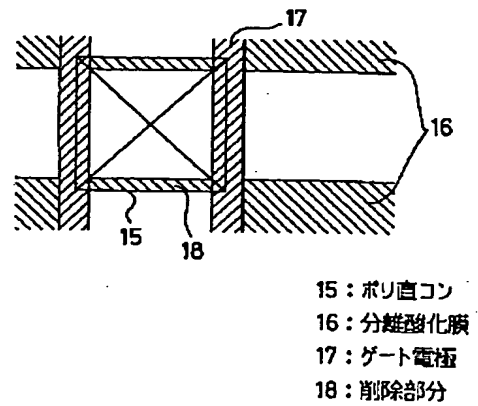


$n^+$ 濃度:  $n^+(1) < n^+(2)$

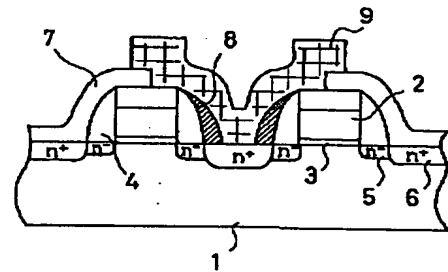
【図 2】



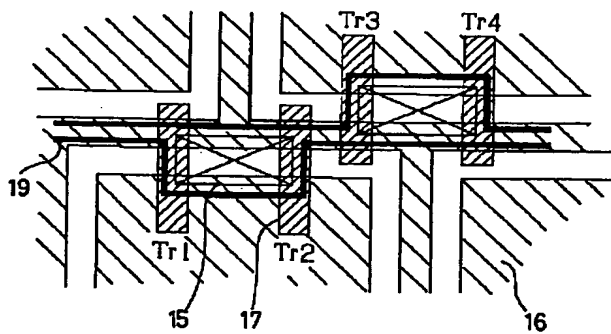
【図 5】



【図 7】



【図 6】





【図 8】

